

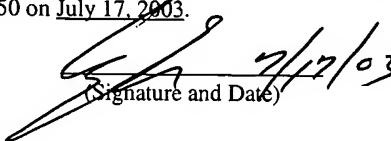
**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

APPLICANTS : Hwa-Young KANG  
SERIAL NO. : Not Yet Assigned  
FILED : July 17, 2003  
FOR : PIN PHOTODIODE

**Certificate of Mailing Under 37 CFR 1.8**

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to MAIL STOP PATENT APPLICATION, COMMISSIONER FOR PATENTS, P. O. BOX 1450, ALEXANDRIA, VA. 22313-1450 on July 17, 2003.

Steve S. Cha, Reg. No. 44,069  
Name of Registered Rep.)

  
(Signature and Date)  
*7/17/03*

**PETITION FOR GRANT OF PRIORITY UNDER 35 USC 119**

MAIL STOP PATENT APPLICATION  
COMMISSIONER FOR PATENTS  
P.O. BOX 1450  
ALEXANDRIA, VA. 22313-1450

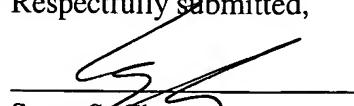
Dear Sir:

Applicant hereby petitions for grant of priority of the present Application on the basis of the following prior filed foreign Application:

<u>COUNTRY</u>	<u>SERIAL NO.</u>	<u>FILING DATE</u>
Republic of Korea	2002-76967	December 5, 2002

To perfect Applicant's claim to priority, a certified copy of the above listed prior filed Application is enclosed. Acknowledgment of Applicant's perfection of claim to priority is accordingly requested.

Respectfully submitted,

  
Steve S. Cha  
Attorney for Applicant  
Registration No. 44,069

CHA & REITER  
411 Hackensack Ave, 9<sup>th</sup> floor  
Hackensack, NJ 07601  
(201)518-5518

Date: July 17, 2003

대한민국 특허청

KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0076967  
Application Number PATENT-2002-0076967

출원년월일 : 2002년 12월 05일  
Date of Application DEC 05, 2002

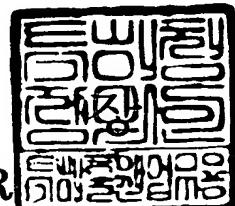
출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003년 01월 16일

특허청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0001		
【제출일자】	2002. 12. 05		
【국제특허분류】	H01L		
【발명의 명칭】	핀 구조의 포토다이오드		
【발명의 영문명칭】	PIN PHOTO DIODE		
【출원인】			
【명칭】	삼성전자 주식회사		
【출원인코드】	1-1998-104271-3		
【대리인】			
【성명】	이건주		
【대리인코드】	9-1998-000339-8		
【포괄위임등록번호】	1999-006038-0		
【발명자】			
【성명의 국문표기】	강화영		
【성명의 영문표기】	KANG,Hwa Yong		
【주민등록번호】	730409-2481411		
【우편번호】	442-813		
【주소】	경기도 수원시 팔달구 영통동 990-18번지 201호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 이건주 (인)		
【수수료】			
【기본출원료】	11	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	5	항	269,000 원
【합계】	298,000 원		

**【요약서】****【요약】**

본 발명은 광통신용 광 수신소자에 이용되는 핀(PIN) 구조의 포토다이오드(Photo Diode)에 관한 것이다.

본 발명에 따른 핀 구조의 포토다이오드는 접합층과 콘택된 전극에 음의 전압 인가 시 접합층이 측면으로 과도하게 공핍되는 것을 방지하도록, 게이트 절연층, 게이트 전극 패드로 이루어진 게이트 전극 구조를 더 포함함을 특징으로 한다.

본 발명에 의하면, 게이트 전극을 이용하여 접합층의 측면방향으로의 공핍정도를 조절함으로써 소자의 정전용량을 조절할 수 있다. 따라서, 소자의 정전용량 증가를 억제하고 고속 동작 특성을 얻을 수 있다.

**【대표도】**

도 2b

**【색인어】**

핀 구조, 포토다이오드, 확산층, 정전용량, 게이트 전극

**【명세서】****【발명의 명칭】**

핀 구조의 포토다이오드{PIN PHOTO DIODE}

**【도면의 간단한 설명】**

도 1a는 종래 일 실시예의 핀 구조 포토다이오드의 평면도,

도 1b는 도 1a의 A-B 방향에 따른 단면도,

도 2a는 본 발명의 일 실시예에 따른 핀 구조 포토다이오드의 평면도,

도 2b는 도 2a의 A'-B' 방향에 따른 단면도.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 광통신용 광 수신소자에 이용되는 핀(PIN) 구조의 포토다이오드(Photo Diode)에 관한 것이다.

<6> 일반적으로, 핀 구조의 포토다이오드는 P형 반도체와 N형 반도체 사이에 진성 반도체 I(intrinsic)층을 삽입한 것으로, 광신호를 전기신호로 변환하는 수광소자로 사용된다. 이러한 핀 구조의 포토다이오드는 공핍층의 폭을 증가시킬 수 있어 입사된 광자를 전자로 바꾸어주는 능력이 우수하다.

<7> 도 1a는 종래 일 실시예의 핀 구조 포토다이오드의 평면도이고, 도 1b는 도 1a의 A-B 방향에 따른 단면도이다.

<8> 도 1a 및 도 1b를 참조하면, 종래의 핀 구조 포토다이오드는 N+ InP 기판(1)에 차례로 형성된 비도핑 InGaAs층(2), P- InP층(3)과, 중앙부에 원형 원도우가 형성된 도너 층형의 SiN 절연층(4)과, 상기 원형 원도우 내의 상기 InP층(2) 위에 형성된 P+ 접합층(5)과, 상기 P+ 접합층(5) 일부와 접하면서 상기 SiN 절연층(4) 위에 형성된 전극패드(6)와 상기 전극패드(6)가 형성되지 않은 상기 P+ 접합층(5) 위에 형성된 SiN 반사방지 층(7)을 갖는 구조이다. 일반적으로, 핀 구조의 포토다이오드는 P+ 접합층(5)에 음의 전계를 인가하여 P+ 접합층(5)을 충분히 공핍(depletion) 시키고 이때 나타나는 특성을 이용한다.

<9> 그러나, 상기 종래의 핀 구조의 포토다이오드는 전극패드를 통해 P+ 접합층에 음의 전계를 인가할 경우, 전계를 인가하지 않은 경우에 비해 측면(lateral) 방향으로 접합이 확장되어 P+ 접합층의 면적이 증가하고 따라서 소자의 정전용량이 커지는 기생효과가 나타나게 된다. 이러한 정전용량의 증가로 RC 시상수가 커지게 되고, 이로 인해 소자의 고속 동작 특성을 저하시키는 문제점이 따른다.

### 【발명이 이루고자 하는 기술적 과제】

<10> 따라서, 본 발명의 목적은 핀 구조 포토다이오드의 접합층의 측면 공핍정도를 조절함으로써 소자의 정전용량 증가를 억제하고 고속 수신 소자로써의 성능을 향상시키는 핀 구조의 포토다이오드를 제공함에 있다.

<11> 상기 목적을 달성하기 위하여 본 발명의 편 구조의 포토다이오드는 제1 도전형의 반도체 기판과; 상기 제1 도전형의 반도체 기판 위에 차례로 형성된 진성(intrinsic)반도체층, 제2 도전형의 반도체층과; 상기 제2 도전형의 반도체층 위에 형성되며, 중앙부에 상기 진성반도체층이 노출되도록 원도우가 형성된 제1 절연층과; 상기 원도우 내의 상기 진성반도체층 위에 형성된 제2 도전형의 활성층과;

<12> 상기 제2 도전형의 활성층과 콘택 되도록 상기 제1 절연층 위에 형성된 제1 전극과 ; 상기 제1 전극에 제1 극성의 전압 인가시 상기 활성층의 측면 방향으로의 확장정도를 조절하도록, 제2 극성의 전압을 인가하기 위해 상기 제2 도전형의 반도체층 위에 형성된 제2 절연층과 제2 전극으로 이루어진 게이트 전극 구조를 포함하여 구성됨을 특징으로 한다.

<13> 바람직하게는, 상기 원도우 내의 상기 활성층 위에 형성된 반사방지층을 더 포함함을 특징으로 한다.

<14> 바람직하게는, 상기 제1 절연층은 상기 제1 전극과 제2 전극이 교차하는 부분에서 상기 제1 전극과 제2 전극이 겹치지 않고 전기적으로 이격될 정도의 두께로 형성됨을 특징으로 한다.

<15> 바람직하게는, 상기 제2 절연층은 상기 제2 전극에 인가되는 전류를 효과적으로 상기 활성층에 전달할 수 있을 정도의 두께로 형성됨을 특징으로 한다.

<16> 더욱 바람직하게는, 상기 제2 도전형의 활성층은 P+ 활성층이며, 상기 제1 극성의 전압은 음의 전압이며, 제2 극성의 전압은 양의 전압인 것을 특징으로 한다.

### 【발명의 구성 및 작용】

<17> 이하, 본 발명에 따른 바람직한 실시예를 첨부한 도면을 참조하여 상세히 설명한다. 도면에서 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 참조번호 및 부호로 나타내고 있음에 유의해야 한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.

<18> 도 2a는 본 발명의 일 실시예에 따른, 핀 구조 포토다이오드의 평면도이고, 도 2b는 도 2a의 A'-B' 방향에 따른 단면도이다. 참고로, 본 실시예에서는 P+ 접합층을 갖는 핀(PIN) 구조의 포토다이오드를 예로써 설명할 것이다.

<19> 도 2a 및 도 2b를 참조하면, 본 실시예의 핀 구조 포토다이오드는 기본적으로 N+ InP 기판(21)에 차례로 형성된 비도핑 진성반도체층인 InP층(22), P- InP층(23)과, 중앙 부에 원형 윈도우가 형성된 도너츠형의 SiN 절연층(24)과, 상기 원형 윈도우 내의 상기 InP층(22) 위에 형성된 P+ 접합층(25)과, 상기 P+ 접합층(25)과 콘택되도록 상기 SiN 절연층(24) 위에 형성된 전극패드(26)와 상기 전극패드(26)가 형성되지 않은 상기 P+ 접합층(25) 위에 형성된 SiN 반사방지층(27)을 포함하며, 상기 P- InP층(23) 위에 형성된 게이트 절연층(28)과, 상기 게이트 절연층(28) 위에 형성된 게이트 전극패드(29)로 이루어진 게이트 전극 구조(30)를 더 포함하여 구성된다.

<20> 상기 게이트 절연층(28)은 상기 게이트 전극패드(29)에 인가되는 양의 전계를 효과적으로 P+ 접합층(25)에 전달하며, SiN, SiO<sub>2</sub>등의 성막공정으로 형성할 수 있다.

<21> 상기 게이트 전극패드(29)는 상기 P+ 접합층(25)과 콘택되도록 형성된 상기 전극패드(26)에 음의 전계가 인가 되었을 경우, 게이트 전극패드(29)에 양의 전계를 인가함으로써 P+ 접합층(25)의 측면(lateral) 방향으로의 공핍을 막을 수 있도록 한다. 이때, 게이트 전극패드(29)에 인가하는 전압의 크기에 따라 측면 방향으로의 공핍정도를 조절할 수 있다.

<22> 이와 같이 게이트 절연층(28)과 게이트 전극패드(29)로 이루어진 게이트 전극 구조(30)는, MOS형 트랜지스터의 게이트와 그 기능 및 구조가 유사하다. MOS형 트랜지스터는 금속의 게이트 전극이 절연피막을 통해 반도체에 부착되어 있으며, 게이트 전극에 가하는 전압에 따라 소스와 드레인 사이에 흐르는 전류를 제어하는 소자이다.

<23> 상기 SiN 절연층(24)은 상기 전극패드(26)와 게이트 전극패드(29)가 교차하는 부분(C)에서 두 층 사이에 끼어 전극패드(26)와 게이트 전극패드(29)가 겹치지 않고 전기적으로 이격되도록 한다. 따라서, 최소한 게이트 전극패드(29)의 두께보다 두꺼워야 하며, 전극패드(26)와 게이트 전극패드(29) 사이의 전기적 격리가 가능하도록 충분한 두께로 형성한다.

<24> 한편 본 발명의 상세한 설명에서는 구체적인 실시 예에 관해 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 아니 되며 후술하는 특허청 구의 범위뿐만 아니라 이 특허청구의 범위와 균등한 것들에 의해 정해져야 한다.

**【발명의 효과】**

<25> 상술한 바와 같이 본 발명에 따른 편 구조의 포토다이오드는 게이트 전극패드를 이용하여 접합층의 측면방향으로의 공핍정도를 조절함으로써 소자의 정전용량을 조절할 수 있다. 따라서, 소자의 정전용량 증가를 억제하고 고속 동작 특성을 얻을 수 있다.

**【특허청구범위】****【청구항 1】**

제1 도전형의 반도체 기판과;

상기 제1 도전형의 반도체 기판 위에 차례로 형성된 진성(intrinsic)반도체층, 제2 도전형의 반도체층과;

상기 제2 도전형의 반도체층 위에 형성되며, 중앙부에 상기 진성반도체층이 노출되도록 원도우가 형성된 제1 절연층과;

상기 원도우 내의 상기 진성반도체층 위에 형성된 제2 도전형의 활성층과;

상기 제2 도전형의 활성층과 콘택 되도록 상기 제1 절연층 위에 형성된 제1 전극과;

상기 제1 전극에 제1 극성의 전압 인가시 상기 활성층의 측면 방향으로의 확장정도를 조절하도록 제2 극성의 전압을 인가하기 위해 상기 제2 도전형의 반도체층 위에 형성된 제2 절연층과 제2 전극으로 이루어진 게이트 전극 구조를 포함하여 구성됨을 특징으로 하는 펀 구조의 포토다이오드.

**【청구항 2】**

제 1 항에 있어서, 상기 원도우 내의 상기 활성층 위에 형성된 반사방지층을 더 포함함을 특징으로 하는 펀 구조의 포토다이오드.

**【청구항 3】**

제 1 항에 있어서, 상기 제1 절연층은

상기 제1 전극과 제2 전극이 교차하는 부분에서 상기 제1 전극과 제2 전극이 겹치지 않고 전기적으로 이격될 정도의 두께로 형성됨을 특징으로 하는 편 구조의 포토다이오드.

**【청구항 4】**

제 1 항에 있어서, 상기 제2 절연층은

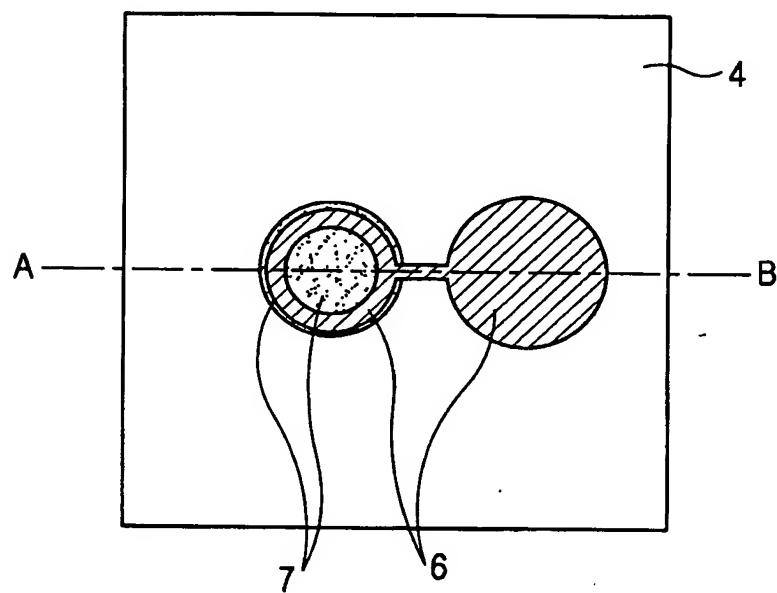
상기 제2 전극에 인가되는 전계를 효과적으로 상기 활성층에 전달할 수 있을 정도의 두께로 형성됨을 특징으로 하는 편 구조의 포토다이오드.

**【청구항 5】**

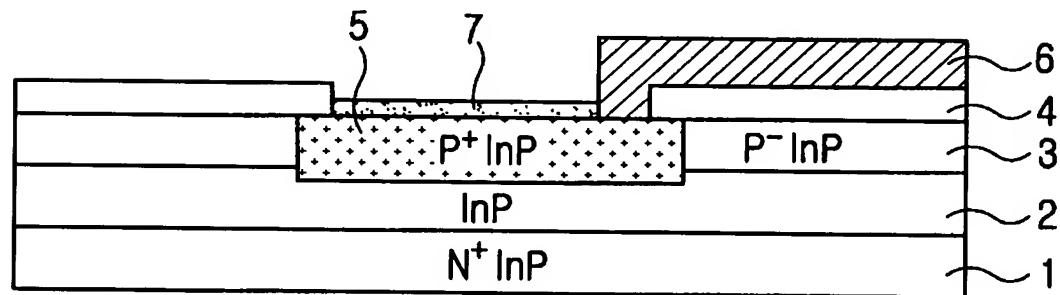
제 1 항에 있어서, 상기 제2 도전형의 활성층은 P+ 활성층이며, 상기 제1 극성의 전압은 음의 전압이며, 제2 극성의 전압은 양의 전압인 것을 특징으로 하는 편 구조의 포토다이오드.

## 【도면】

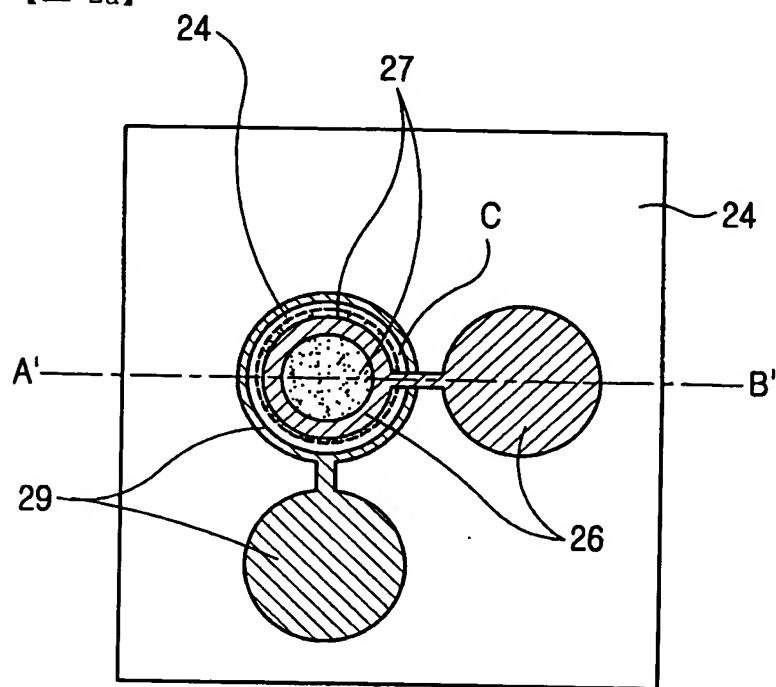
【도 1a】



【도 1b】



【도 2a】



【도 2b】

